

PATENT ABSTRACTS OF JAPAN

IDS (8)

(11)Publication number : 2000-269144

(43)Date of publication of application : 29.09.2000

(51)Int.Cl.

H01L 21/205
H01L 33/00

(21)Application number : 11-072362

(71)Applicant : MITSUBISHI CABLE IND LTD

(22)Date of filing : 17.03.1999

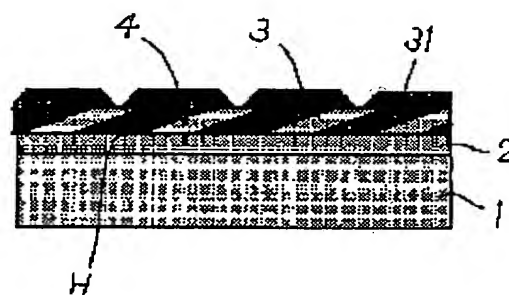
(72)Inventor : TADATOMO KAZUYUKI
OKAGAWA HIROAKI
OUCHI YOICHIRO
KOTO MASAHIRO

(54) FORMATION OF MASK LAYER ON SEMICONDUCTOR BASE AND SUBSTRATE

(57)Abstract:

PROBLEM TO BE SOLVED: To realize formation method of a mask layer on a semiconductor base and a substrate which can practically erase dislocation defects without providing the number of mask layers.

SOLUTION: A semiconductor layer 2 is provided on a base substrate 1 of sapphire, etc., and a semiconductor crystalline layer 4 is subjected to vapor growth thereon with a mask layer 3 interposed. The mask layer 3 is provided with a slope part 31. The slope part 31 is shaped to cover at least a part of a non-masked part of the substrate 1 in its cross-sectional contour in the thickness direction. Thereby, if the semiconductor crystal 4 is formed on the substrate 1, the path of a dislocation line H extending from the substrate 1 through a non-mask part is blocked, thus enabling the semiconductor crystal 4 to grow, while the dislocation line H is being shielded.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-269144

(P2000-269144A)

(43) 公開日 平成12年9月29日 (2000.9.29)

(51) Int.Cl.

識別記号

F I

テ-マ-ト* (参考)

H 0 1 L 21/205
33/00

H 0 1 L 21/205
33/00

5 F 0 4 1
C 5 F 0 4 5

審査請求 未請求 請求項の数 3 O L (全 4 頁)

(21) 出願番号 特願平11-72362

(71) 出願人 000003263

三菱電線工業株式会社

兵庫県尼崎市東向島西之町 8 番地

(22) 出願日 平成11年3月17日 (1999.3.17)

(72) 発明者 只友 一行

兵庫県伊丹市池尻 4 丁目 3 番地 三菱電線
工業株式会社伊丹製作所内

(72) 発明者 岡川 広明

兵庫県伊丹市池尻 4 丁目 3 番地 三菱電線
工業株式会社伊丹製作所内

(72) 発明者 大内 洋一郎

兵庫県伊丹市池尻 4 丁目 3 番地 三菱電線
工業株式会社伊丹製作所内

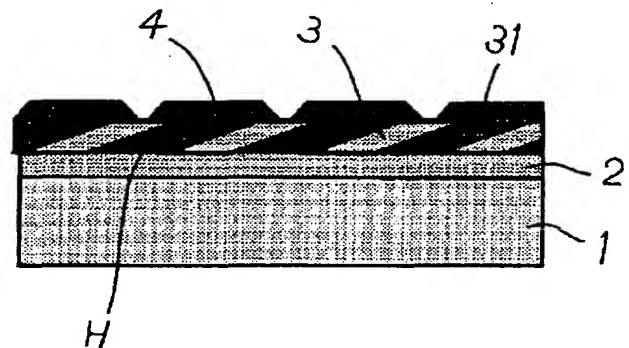
最終頁に続く

(54) 【発明の名称】 半導体基材及び基板上へのマスク層形成方法

(57) 【要約】

【課題】 マスク層を多層に設けることなく、転位欠陥を事実上消去することができる半導体基材及び基板上へのマスク層形成方法を提供すること。

【解決手段】 サファイア等のベース基板 1 上に半導体層 2 を設け、その上にマスク層 3 を介して半導体結晶層 4 を気相成長する。本発明においては、マスク層 3 に斜面部 31 を具備させている。この斜面部 31 は、厚さ方向の断面形状において基板 1 の非マスク部の一部を少なくとも覆う形状であり、これにより基板 1 上に半導体結晶 4 を成長させた場合、非マスク部を通じて基板 1 から延伸してくる転位線 H の進路を塞ぐこととなり、結果として転位線 H を遮断した状態で半導体結晶 4 が成長できる。



【特許請求の範囲】

【請求項1】 基板と、該基板上にマスク層を介して選択成長された半導体結晶とからなる半導体基材であって、前記マスク層は、厚さ方向の断面形状において非マスク部の一部を覆う斜面部を有することを特徴とする半導体基材。

【請求項2】 マスク層のパターンがストライプ状であることを特徴とする請求項1記載の半導体基材。

【請求項3】 基板上にマスク層を設け、このマスク層の表面に耐エッチング性の材料から成るレジスト層をストライプ状にパターンニングし、該マスク層付基板に対して所望の傾斜角度でイオン照射エッチングを行なうことを特徴とする基板上へのマスク層形成方法。

【発明の詳細な説明】**【0001】**

【発明が属する技術分野】本発明は、半導体基材およびその作製方法に関し、特に転位欠陥が生じ易い半導体材料を用いる場合に有用な構造及び方法に関するものである。

【0002】

【従来の技術】例えばGa_{0.5}N_{0.5}系半導体結晶等を、バッファ層及びGa_{0.5}N_{0.5}層が設けられた基板上に気相成長するにあたり、前記基板上に部分的に非マスク部（開口部）を有するマスク層を設けて該非マスク部から選択成長を開始し、該マスク層上のラテラル方向の結晶成長を行わせて、転位欠陥を減少させた高品質な結晶を得る方法が提案されている（例えば特開平10-312971）。

【0003】

【発明が解決しようとする課題】しかしながら、上記の方法では転位欠陥を完全に解消することはできない。即ち、マスク層を設けた部分にあっては、転位線はそこで遮断されて延伸することはないが、非マスク部においては転位線は遮断されることなくその上の半導体結晶層へ継承されるからである。転位線を完全に消去するために、マスク層上に半導体結晶をある程度成長させた後、当該半導体結晶層表面に再度マスク層を設けるという手段を繰り返し、残留転位線を消去する試みも提案されているが、成長炉から何度も基板を取り出してマスクパターンを作製せねばならない等、製造プロセスが複雑化してしまうという問題がある。

【0004】本発明はこのような問題を解消するためになされたもので、マスク層を多層に設けることなく、転位欠陥を事実上消去することができる半導体基材及び基板上へのマスク層形成方法を提供することを課題とする。

【0005】

【課題を解決するための手段】本発明の半導体基材は、基板と、該基板上にマスク層を介して選択成長された半導体結晶とからなる半導体基材であって、前記マスク層は、厚さ方向の断面形状において非マスク部の一部を覆

う斜面部を有することを特徴とするものである。前記マスク層のパターンは、ストライプ状であることが好ましい。

【0006】また本発明の基板上へのマスク層形成方法は、基板上にマスク層を設け、このマスク層の表面に耐エッチング性に優れた材料から成るレジスト層をストライプ状にパターンニングし、該マスク層付基板に対して所望の傾斜角度でイオン照射エッチングを行なうことを特徴とするものである。

【0007】

【作用】転位欠陥が存在する基板に対して結晶成長を行った場合、基板から引き継いだ転位線は成長とともにc軸方向に伝播する性質がある。従って非マスク部からは転位線が延伸するのであるが、マスク層の斜面部にて非マスク部が覆われているため、転位線はマスクの斜面部によって遮断されることになる。

【0008】一方、マスクの開口部は原料供給が盛んなために、早い成長速度を有しており、マスク上部まで半導体結晶が成長する。この時の半導体結晶はマスク層中で横方向に成長した結晶からc面成長に移行した結晶であるので、c軸方向に伝播する転位成分を含んでいないことになる。この後は通常のc軸方向とラテラル成長が起こることになるが、既に転位欠陥はほとんど遮断されているので、かかる結晶中の転位密度を激減させることが出来る。

【0009】

【発明の実施の態様】以下図面に基いて、本発明の実施態様につき詳細に説明する。図1、図2は本発明にかかる半導体基材を示す断面図である。図において、1はサファイアやSiC等のベース基板、2はベース基板1の上に成長される選択成長時の基板となる半導体層を示している。なお、本発明において基板1とは、ベース基板1上に半導体層2を備えたものを指すものとする。3はマスク層であり、基板1の結晶成長表面に形成されている。そして4は、マスク層3付き基板1上に気相成長される半導体結晶層である。

【0010】本発明においては、マスク層3に斜面部31を具備させていることに特徴がある。この斜面部31は、厚さ方向の断面形状において基板1の非マスク部の一部を少なくとも覆う形状とする必要がある。このような形状とすることで、基板1上に半導体結晶4を成長させた場合、図1に示すように、非マスク部を通じて基板1から延伸してくる転位線Hの進路を塞ぐこととなり、結果として転位線Hを遮断した状態で半導体結晶4が成長できるからである。

【0011】このまま半導体結晶4の成長を続けると、マスク層3間の開口部から通常のc軸方向とラテラル成長が起こり、図2に示すように、ついには平坦な半導体結晶4が形成されることになる。

【0012】マスク層3は、厚さ方向の断面形状におい

て基板1の非マスク部の一部を少なくとも覆う斜面部31を有していれば、他の部分の形状は特段制限はない。マスク層3のパターンとしては、点在状、格子状、ストライプ状などが例示できるが、斜面部31を容易に且つ効果的に形成できるという観点からストライプ状とすることがこのましい。

【0013】ストライプパターンのマスク層3とする場合、図3に示すように、マスクの傾斜角を θ 、マスク層の厚さを d 、マスクピッチを W とすると、基板1表面における非マスク部の被覆率 $d \cdot \tan \theta / W = 10\% \sim 200\%$ 、特に $50\% \sim 150\%$ とすることが好ましい。被覆率が小さすぎると転位線の遮断効果が小さくなり、一方被覆率が大きすぎると、そのようなマスク層の形成自体が困難になるからである。

【0014】マスク層3の材料は特に制限はなく、例えば SiO_2 、 SiN_x などが挙げられる。これら材料のなかでも、 SiO_2 が取扱い易さの点で好ましい。

【0015】斜面部31を有するマスク層3の作製方法としては、イオン照射方式によるエッチングが好適な方法として挙げられる。例えば半導体結晶4としてGaN結晶を成長させる場合について具体的に説明すると、先ずサファイア基板上にGaNなどの低温バッファ層を介して数 μm のGaNを成長し、その上にマスク層として例えば厚さ $2\mu\text{m}$ 程度の SiO_2 膜を電子ビーム蒸着（又はプラズマCVD、熱CVD、スパッタリングなど）等により形成する。

【0016】そして通常のフォトリソグラフィ技術を使って、マスク層の表面に耐エッチング性の材料から成るレジスト層をストライプ状にパターンニングし、フォトレジストのパターンニングを行い、例えばECR-RIE

(Electron Cyclotron Resonance - Reactive Ion Etching)、RIE (Reactive Ion Beam Etching) 技術を使って異方性の高いエッチング加工を行う。エッチング方向の傾斜は、例えばこの時の基板1の配置をイオンの入射方向に対して傾斜させる事で達成できる。

【0017】

【実施例】[実施例1] c面サファイア基板上に、 350°C の低温で成長した 20nm 厚みのGaNバッファ層を介して $3\mu\text{m}$ のSiドープn-GaNを成長した。使用した結晶成長装置は通常の横型MOVPE装置である。この上に、電子ビーム蒸着装置を使って $3\mu\text{m}$ 厚みの SiO_2 膜を形成し、フォトレジストのパターンニング（幅： $2\mu\text{m}$ 、周期： $4\mu\text{m}$ 、ストライプ方位：GaNの $\langle 1-100 \rangle$ ）を行い、ECR-RIE装置で下地のGaNが現れるまでエッチングした。傾斜角（イオンビームの入射角）は 40° に設定した。この時の被覆率 $d \cdot \tan \theta / w = 126\%$ であった。更に、同じ横型のMOVPE装置にこの基板を装着し、通常の成長条件でGaNを $10\mu\text{m}$ 成長した。

【0018】比較のために、c面サファイア基板上に同じ成長条件で成膜した、同じ膜厚のGaN層（通常GaN）と、同じパターンの SiO_2 マスク（傾斜はゼロ、厚みは $0.2\mu\text{m}$ ）を使って同じ膜厚のELO成長したGaN膜（従来ELOサンプル）を用意した。

【0019】評価は、InGaN（InN混晶比 $=0.2$ 、 100nm 厚）を続けて成長して現れるビット（転位に対応している）をカウントして転位密度とした。この評価結果を表1に示す。

【0020】

【表1】

サンプル	転位密度
実施例サンプル	$< 1 \times 10^4 \text{ cm}^{-2}$
従来ELOサンプル	$4 \times 10^7 \text{ cm}^{-2}$
通常 GaN	$2 \times 10^9 \text{ cm}^{-2}$

【0021】[実施例2] c面サファイア基板上に、実施例1と同様の低温成長GaNバッファ層を介して $4\mu\text{m}$ のSiドープn-GaNを成長した。使用した結晶成長装置は通常の横型MOVPE装置である。このGaN層上に、電子ビーム蒸着装置を使って $2\mu\text{m}$ 厚みの SiO_2 膜を形成し、フォトレジストのパターンニング（幅： $2\mu\text{m}$ 、周期： $4\mu\text{m}$ 、ストライプ方位：GaNの $\langle 1-100 \rangle$ ）を行い、ECR-RIE装置で下地のGaNが現れるまでエッチングした。傾斜角（イオンビームの入射角）は 25° に設定した。この時の被覆率 $d \cdot \tan \theta / w = 47\%$ であった。更に、同じ横型のMOVPE装置にこの基板を装着し、通常の成長条件でGaN

を $10\mu\text{m}$ 成長した。

【0022】比較のために、c面サファイア基板上に同じ成長条件で成膜した、同じ膜厚のGaN層（通常GaN）と、同じパターンの SiO_2 マスク（傾斜はゼロ、厚みは $0.2\mu\text{m}$ ）を使って同じ膜厚のELO成長したGaN膜（従来ELOサンプル）を用意した。

【0023】評価は、InGaN（InN混晶比 $=0.2$ 、 100nm 厚）を続けて成長して現れるビット（転位に対応している）をカウントして転位密度とした。この評価結果を表2に示す。

【0024】

【表2】

サンプル	転位密度
実施例サンプル	$\sim 1 \times 10^5 \text{ cm}^{-3}$
従来 ELO サンプル	$4 \times 10^7 \text{ cm}^{-3}$
通常 GaN	$2 \times 10^9 \text{ cm}^{-3}$

【0025】

【発明の効果】以上説明した通りの本発明の半導体基材及び基板上へのマスク層形成方法によれば、マスク層間で横方向に結晶成長させる事で実質的にc軸方向に伝播する転位を消滅させた結晶をマスク層表面の開口部に形成し、引き続きc面成長及びマスク上のラテラル成長をさせて結晶基材を得るので、c軸方向に伝播する転位密度を激減させた結晶を得ることが出来る。更に、本発明の半導体基材はその転位密度の低さから発光素子、受光素子及び電子デバイス形成用の基材として非常に有用である。

【図面の簡単な説明】

【図1】本発明にかかる半導体基材の成長途中の状態を示す断面図である。

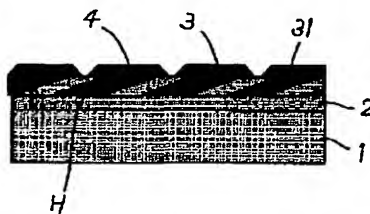
【図2】本発明にかかる半導体基材を示す断面図である。

【図3】本発明におけるマスク層を説明するための断面図である。

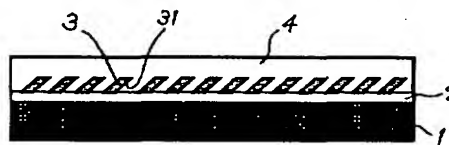
【符号の説明】

- 1 基板
- 2 半導体層
- 3 マスク層
- 31 斜面部
- 4 半導体結晶

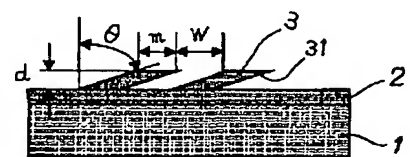
【図1】



【図2】



【図3】



フロントページの続き

(72)発明者 湖東 雅弘
兵庫県伊丹市池尻4丁目3番地 三菱電線
工業株式会社伊丹製作所内

Fターム(参考) 5F041 AA40 CA33 CA40 CA46 CA65
CA74
5F045 AA04 AA18 AB14 AB17 AB32
AF02 AF09 AF20 BB12 DA53
DB04 HA02